

УДК 004.272.45

Оценка требуемых скоростей передачи данных при организации беспроводной связи между ядрами центрального процессора

Комар М.С., Петров В.И., Борунова К.Д., Молчанов Д.А., Кучерявый Е.А.

*Технологический Университет г. Тампере,
PO Box 527, FI-33101, Korkeakoulunkatu 10, Тампере, Финляндия
Ярославский государственный университет им. П.Г. Демидова,
150000 Россия, Ярославль, ул. Советская д. 14*

*Санкт-Петербургский Государственный Университет Телекоммуникаций им.
проф. М.А.Бонч-Бруевича,
191186, Россия, Санкт-Петербург, наб. реки Мойки, д.61*

*e-mail: mariia.komar@tut.fi, vit.petrov@gmail.com, karolinadm@mail.ru,
dmitri.moltchanov@tut.fi, yk@cs.tut.fi*

получена 15 февраля 2015

Ключевые слова: многоядерные процессоры, беспроводные системы на кристалле, широкополосные системы связи

Рассматривается современная архитектура процессоров общего назначения, ее основные компоненты, описывается эволюция, а также подчеркиваются проблемы, препятствующие дальнейшему развитию такой архитектуры. Далее рассмотрены предложенные ранее пути развития процессоров, подчеркиваются их недостатки и предлагается новая архитектура, основанная на беспроводном доступе к кеш-памяти в многоядерных процессорах. В основе предлагаемого решения лежит организация надежного обмена данными между кешем третьего уровня и ядрами процессора через беспроводной канал в терагерцовом диапазоне. Таким образом, масштабируемость системы повышается до десятков и, потенциально, сотен ядер. В то же время, детальный анализ применимости предложенного решения требует точного предсказания количества информации, передаваемой между ядрами и кеш-памятью в процессорах текущего и следующего поколения. В данной работе рассматриваются основные подходы к построению оценки количества передаваемых данных, выделены их достоинства и недостатки. Авторы останавливают свой выбор на непосредственных измерениях количества данных с помощью существующих программных инструментов. Для измерений используется программный инструмент Intel Performance Counter Monitor, позволяющей оценить количество данных, передаваемых между кеш-памятью второго и третьего уровней каждого ядра. В работе рассматриваются три варианта нагрузки на ядро – два искусственных теста и фоновая нагрузка от операционной системы. Для каждого типа нагрузки в работе приведены численные значения количества данных, проходящих по шине между кешем второго и третьего уровней, и показана их зависимость от тактовой частоты работы процессора и количества ядер.

1. Введение

В последние десятилетия развитие персональных компьютеров шагнуло далеко вперед. При этом одним из компонентов ПК, определяющих прогресс, являлся и является центральный процессор (ЦП). Однако около 10 лет назад индустрия по производству процессоров столкнулась с качественной проблемой: дальнейшее повышение тактовой частоты стало затруднительным из-за ее приближения к максимально возможным значениям. В качестве решения проблемы была предложена и внедрена концепция многоядерности, используемая и по сей день. Основной идеей предлагаемой концепции являлось размещение на одном кристалле ЦП нескольких вычислительных ядер и распределение поступающих задач между ними. Однако процессоры с достаточно большим количеством ядер (от 8 и выше) крайне сложны и дороги в производстве, так как необходимо эффективно организовывать доступ к общим данным и давать ядрам возможность общаться друг с другом в режиме реального времени. Существующие решения, например, разделение ядер на блоки по 4 [2], имеют свои недостатки, основным из которых является увеличение задержки при передаче данных. Данное ограничение является фактором, во многом ограничивающим дальнейшее развитие многоядерных ЦП.

На протяжении последних лет предпринимались многочисленные попытки организовать эффективное взаимодействие между ядрами. В качестве одного из возможных решений была предложена концепция беспроводных сетей на кристалле (Wireless Networks on Chips, WNoC [3]). Основной идеей концепции является замена проводных каналов связи между ядрами на широкополосные беспроводные. Такой подход имеет серьезные плюсы — он позволяет избавиться от крайне сложных аппаратных решений, например, направленных на мультиплексирование сигналов. Кроме того, в такой системе становятся возможными широкополосные передачи. Однако он не лишен недостатков и накладывает существенные ограничения на беспроводной канал связи, в первую очередь связанные с надежностью, пропускной способностью и задержкой.

Указанная проблема нашла отражение во множестве исследовательских работ, в том числе [4] и [5], однако так и не была решена окончательно. В частности, решения, предложенные в работах [4] и [5], плохо применимы к архитектуре существующих ЦП, так как не учитывают особенности процессов, происходящих внутри ЦП, в первую очередь, объем и характер передаваемых данных. Некоторые приближенные оценки были получены в работах [1] и [8], однако их точность не была доказана на практике. Стоит отметить, что построение оценки количества данных, передаваемых за единицу времени, в современных ЦП является сложной задачей, во многом из-за недостатка доступной в открытых источниках информации об особенностях логики работы конкретного типа ЦП.

В данной работе предлагается подход к оценке скорости передачи данных внутри процессора, основанный не на анализе архитектуры ЦП, а на проведении натурных испытаний. В качестве программного обеспечения для решения этой задачи используется Intel Performance Counter Monitor (Intel [9] PCM, [10]). На примере процессора Intel Core i7-2600K [11] в работе приведены количественные оценки объема информации, передаваемой от ядер к кеш-памяти. Полученные результаты позволяют сформулировать требования качества обслуживания при использовании

беспроводного доступа к памяти в многоядерных процессорах. Работа имеет следующую структуру. В разделе 2 рассмотрена упрощенная функциональная диаграмма многоядерного ЦП, описаны ограничения, препятствующие дальнейшему развитию этих устройств, а также предложена архитектура ЦП с использованием широкополосного беспроводного канала связи, частично снимающая эти ограничения. В разделе 3 рассмотрены подходы к оценке скоростей передачи данных в ЦП и описана методология измерения количества передаваемых данных в реальных процессорах. Раздел 4 посвящен численным результатам и анализу полученных измерений. В разделе 5 подводятся итоги работы и намечается план дальнейших исследований.

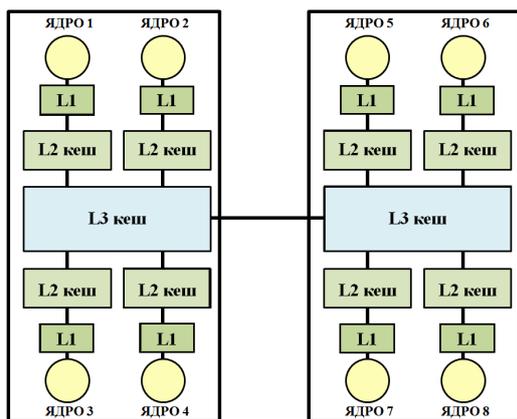


Рис. 1: Упрощенная схема современной архитектуры ЦП

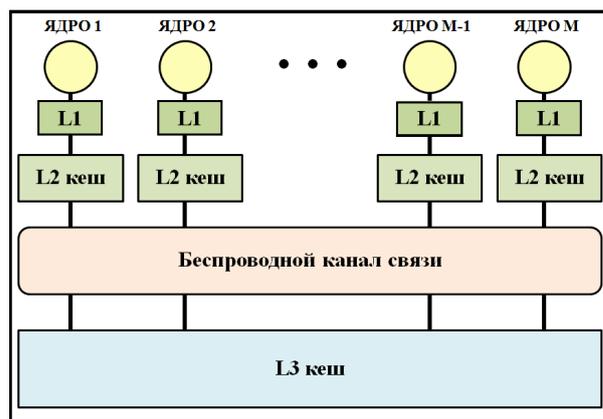


Рис. 2: Упрощенная схема предлагаемой архитектуры ЦП

2. Предлагаемая архитектура ЦП

В данной работе мы рассматриваем только центральные процессоры общего назначения, применяющиеся в современных ПК. Упрощенную архитектуру ЦП можно описать следующим образом: процессор состоит из одного или нескольких ядер с регистрами — ячейками памяти маленького размера со сверхбыстрым доступом, нескольких уровней кеш-памяти и шин, передающих данные и инструкции. Каждое ядро имеет собственную кеш-память первого и второго уровней, а также общую для нескольких ядер кеш-память третьего уровня [6], [7]. Кеш-память различных уровней отличается между собой размером и скоростью доступа. Наименьший размер и задержку доступа имеет кеш-память первого уровня, наибольший — третьего. Кеш-память обеспечивает гораздо меньшее время доступа, чем оперативная память (ОП), но при этом имеет значительно больший объем, чем регистры процессора. Она используется для хранения информации, которая с высокой вероятностью понадобится ядрам в ближайшее время. Кроме того, кеш-память третьего уровня используется для обмена данными между ядрами процессора. Схематичное изображение упрощенной архитектуры современного ЦП представлено на Рис. 1.

В представленном подходе есть свои сложности — необходимо не только соединить кеш-память второго уровня каждого ядра с кеш-памятью третьего уровня,

но и обеспечить корректное мультиплексирование/демультиплексирование сигналов. Это затрудняет создание систем с большим количеством ядер, имеющих общий кеш третьего уровня. Для того, чтобы решить эту проблему, в современных многопроцессорных системах ядра объединяются в группы, каждая группа имеет свою кеш-память третьего уровня, а для общения между группами используется специальная высокоскоростная шина [2]. Этот подход широко применяется в современных ЦП, однако не лишен недостатков. Так, например, возрастают задержки при передаче данных между кешами третьего уровня различных групп [18].

Для решения этой проблемы в работе [1] мы предлагаем заменить проводную связь между кешами второго и третьего уровней на беспроводной широкополосный канал связи, работающий в терагерцовом диапазоне. Такое решение полагается возможным благодаря созданию нового материала – графена [12] и микроантенн на его основе [13], [14]. Это может позволить улучшить масштабируемость системы за счет значительного увеличения емкости каналов. Предлагаемую архитектуру системы можно увидеть на Рис. 2.

Модели трафика, рассматриваемые для классических беспроводных сетей на кристалле, оказываются не применимыми к данной системе. Таким образом, для корректной оценки применимости предлагаемого решения, требуется, в первую очередь, решить задачу получения реалистичного количества данных, проходящих между кешами второго и третьего уровней за единицу времени в существующих ЦП. В следующем разделе рассматриваются возможные подходы к решению этой задачи.

3. Методология и инструменты

Существует несколько подходов, позволяющих оценить скорость передачи данных между кешем второго и третьего уровней в ЦП. Первый из них — это анализ существующих архитектур ЦП и попытка построить модели на основе полученных данных. К сожалению, описанный подход является трудно применимым из-за сложности протоколов в современных ЦП и многообразия программ, использующих память по-разному.

Второй подход — это имитационное моделирование работы процессора. Данный подход может помочь существенно приблизиться к оценке параметров трафика, однако имеет ряд ограничений. В частности, недостаток данных о специфике реализации некоторых элементов ЦП значительно осложняет задачу. Серьезным представляется и недостаток инструментов, позволяющих моделировать работу ЦП. Даже такие распространенные симуляторы, как gem5 [16] и MARSS [17], представляют собой лишь упрощенную модель процессора, что сказывается на точности параметров модели. Кроме того, для моделирования необходимо понимать, какое количество данных процессор может обработать за единицу времени, какое количество данных ему понадобится для обработки — то есть необходимо хотя бы приблизительно знать объем данных, проходящих между элементами ЦП.

В данной работе предлагается использование третьего подхода — проведения натуральных измерений. К преимуществам выбранного подхода стоит отнести приемлемую сложность, а также высокую точность получаемых данных.

Для проведения измерений был выбран четырехъядерный процессор Intel Sandy

Bridge [15], ввиду их широкого распространения. Кроме того, начиная с архитектуры Sandy Bridge, процессоры Intel имеют счетчики количества обращений к памяти, что значительно упрощает работу. Существуют два способа получения этих данных: обращение напрямую к счетчикам или использование специального программного обеспечения, такого как, например, Intel Performance Counter Monitor (Intel PCM, [10]) или perf [19].

Для проведения измерений в данной работе был выбран инструмент Intel PCM, так как он позволяет проводить измерения на интерфейсе между кешем второго и третьего уровней. Измерения проводились на персональном компьютере с четырехъядерным процессором Intel Core i7-2600K с базовой частотой 3.4 ГГц, максимальной частотой 3.8 ГГц. На компьютер была установлена стандартная сборка ОС Linux Kubuntu 14.10. [20]

На языке C была написана тестирующая программа, имитирующая типичную нагрузку на ЦП. Конкретнее, программа динамически выделяла память для массива из миллиарда однобайтных элементов (1 ГБ), а затем производила последовательное поэлементное чтение данных из массива. Программа имела два режима работы, условно "хороший стиль программирования" и "плохой стиль программирования". В первом случае данные читаются друг за другом: $i + 1$ элемент читается сразу после элемента с индексом i . Во втором случае данные читаются с интервалом в 64 байта: после элемента с индексом i идет обращение к элементу с индексом $i + 64$. Так как данные читаются из ОП блоками по 64 байта, при нагрузке на ядро, близкой к максимальной, интерфейс между кешами второго и третьего уровней слабо нагружен в первом случае и сильно нагружен во втором.

Кроме того, был рассмотрен случай, при котором никаких тестовых программ запущено не было и ОС выполняла только служебные операции, необходимые для корректной работы. Это позволило оценить фоновую нагрузку и, соответственно, погрешность данных, полученных во время работы с тестирующей программой.

Перед проведением измерений с помощью системных средств ОС Linux отключалось определенное количество ядер (для первой серии экспериментов было оставлено одно рабочее ядро, для второй — два и т.д.). Далее оставшимся ядрам назначалась минимальная рабочая частота — 1.6 ГГц и запускалось число тестовых программ, равное числу активных ядер. С помощью Intel PCM каждые 0.1 секунды в течение минуты снимались показания счетчиков процессора и сохранялись в файл с расширением .csv. Для повышения точности оценки измерения повторялись несколько раз. После этого ядрам назначалась другая частота и эксперимент повторялся. Всего были проведены эксперименты для одного, двух, трех и четырех работающих физических ядер и для частот в 1.6 ГГц, 2.2 ГГц, 2.5 ГГц, 2.8 ГГц, 3.1 ГГц, 3.4 ГГц и 3.8 ГГц. Полученные результаты и их качественный анализ приведены в следующем разделе.

4. Численные результаты и их анализ

В данном разделе приведены и проанализированы численные значения объема трафика между кеш-памятью второго и третьего уровней. На графиках показано, как меняется объем передаваемых данных в зависимости от изменения частоты и количества ядер. Как видно из Рис. 3, загрузка интерфейса между кеш-памятью второ-

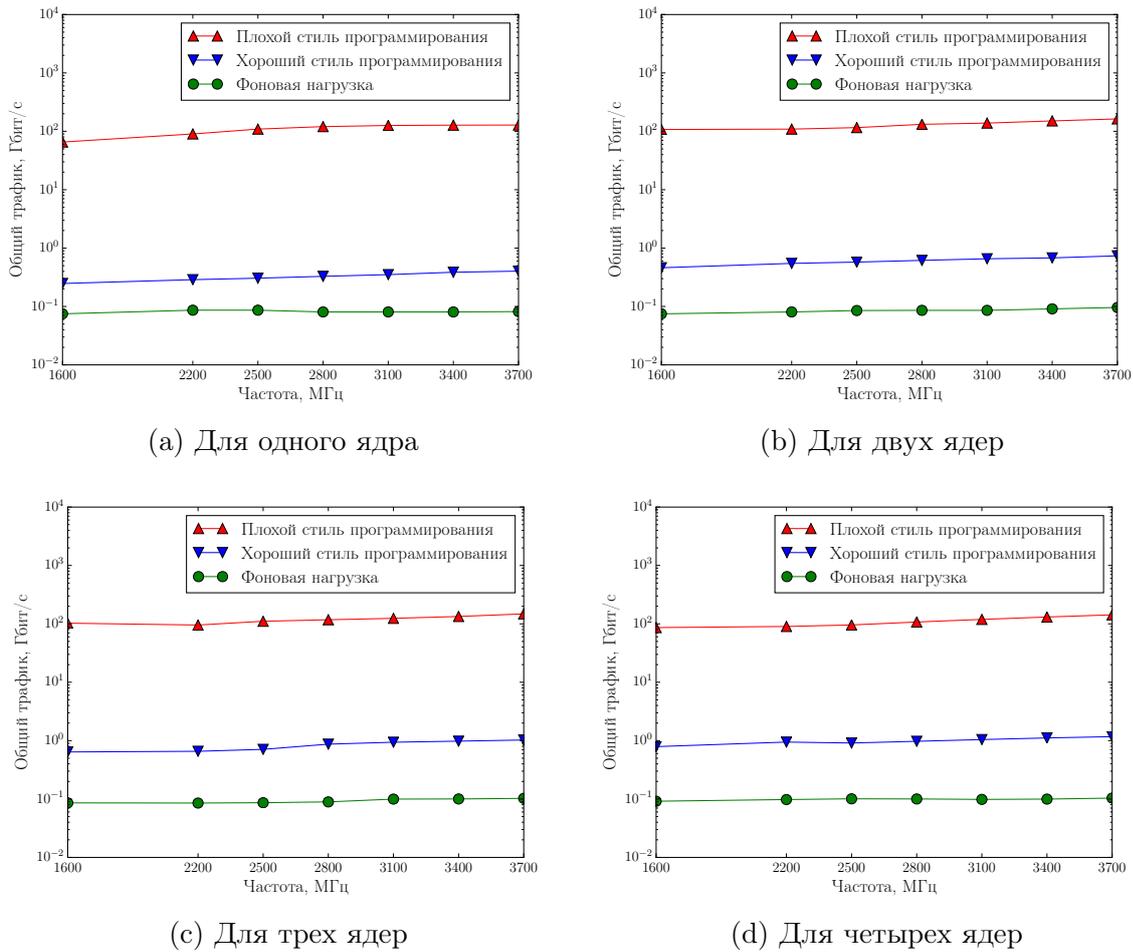


Рис. 3: Зависимость общего трафика от частоты работы ЦП

го и третьего уровней в условиях наличия только фоновой нагрузки пренебрежимо мала по сравнению с экспериментами с работой тестовой программы. Следовательно, приведенные ниже данные можно считать достоверными. Можно заметить, что при увеличении частоты работы процессора, количество данных, проходящих через интерфейс между кешами второго и третьего уровней, увеличивается, причем характер роста для любого количества ядер примерно одинаковый. Абсолютные значения трафика для каждого типа тестов имеют одинаковый порядок для всех возможных частот, на которых работает процессор. Представленные результаты позволяют сделать вывод о том, что частота работы процессора не оказывает значительного влияния на объем трафика, проходящий между кеш-памятью второго и третьего уровней, а нагрузка на данном интерфейсе может достигать величины в 100 Гбит/сек. Анализируя данные, представленные на Рис. 3, также следует отметить, что количество трафика, проходящее через интерфейс между кеш-памятью второго и третьего уровней ЦП, очень сильно зависит от того, какая программа ("хорошая" или "плохая") в настоящий момент выполняется. Для теста, в котором данные читаются подряд ("хорошая" программа), алгоритм кеширования работает эффективно, т.е. данные, которые понадобятся на следующем шаге, чаще всего загружаются вместе с теми данными, которые необходимы на данном шаге, благо-

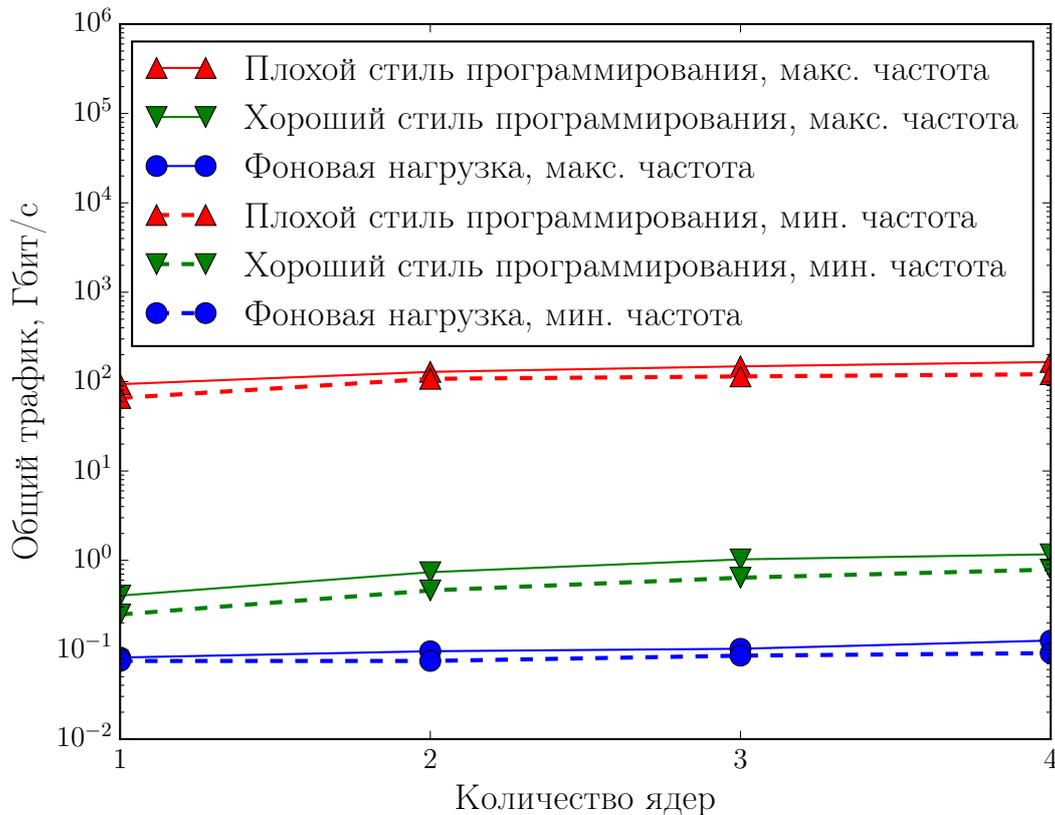


Рис. 4: Зависимость общего трафика от количества ядер для частот в 1.6 ГГц и 3.8 ГГц

даря работе алгоритмов предсказания. Для теста, в котором читается каждый 64-й байт ("плохая" программа), алгоритм предсказаний работает плохо, а данные из кеш-памяти третьего уровня в кеш-память второго уровня передаются блоками по 64 байта, из которых 1 байт – это запрашиваемые нами данные, а еще 63 – это значения следующих ячеек. Значение ни одной из этих ячеек не понадобится на следующем шаге, поэтому процессор вынужден на каждом шаге посылать запросы в кеш третьего уровня, тем самым загружая интерфейс между кеш-памятью второго и третьего уровней. Анализируя данные на Рис. 4, мы наблюдаем рост объема передаваемых данных при увеличении количества ядер. При этом для минимальной (1.6 ГГц) и максимальной (3.8 ГГц) частот характер зависимости сохраняется. С определенной степенью достоверности, полученные данные могут быть в дальнейшем экстраполированы и на число ядер, большее четырех.

5. Заключение

В данной работе была рассмотрена архитектура многоядерных процессоров общего назначения, с использованием широкополосного канала связи между ядрами и кеш-памятью. Рассмотренная архитектура частично решает проблему масштабиро-

вания современных ЦП на большее число ядер, однако накладывает существенные ограничения на характеристики системы беспроводной связи. В качестве одного из шагов по анализу архитектуры была построена оценка объема данных, передаваемых между ядрами и кеш-памятью в современных процессорах общего назначения. Полученные данные позволяют сформулировать предварительные требования к системам беспроводной связи между элементами ЦП и тем самым выявить основные ограничения при проектировании сетей на кристалле следующего поколения.

Список литературы

- [1] Комар М. С., Кучерявый Е. А., Молчанов Д. А., Петров В. И., “Расчет характеристик протоколов беспроводной связи для взаимодействия между ядрами центрального процессора”, *Электронный научный журнал “Информационные технологии и телекоммуникации”*, **3** (2014), 41–58; [Komar M. S., Kucheryavyy E. A., Molchanov D. A., Petrov V. I., “Raschet kharakteristik protokolov besprovodnoy svyazi dlya vzaimodeystviya mezhdru yadrami tsentral’nogo protsessora”, *Elektronnyy nauchnyy zhurnal “Informatsionnye tekhnologii i telekommunikatsii”*, **3** (2014), 41–58, (in Russian).]
- [2] Molka D. et al., “Memory Performance and Cache Coherency Effects on an Intel Nehalem Multiprocessor System”, *18th Int. Conf. Parallel Archit. Compil. Tech. Ieee*, 2009, 261–270.
- [3] Li X., <http://www.eng.auburn.edu/agrawvd/THESIS/LI/report.pdf>, Survey of Wireless Network-on-Chip Systems.
- [4] Jornet J., Akyldiz I., “Channel Modeling and Capacity Analysis for Electromagnetic Wireless Nanonetworks in the Terahertz Band”, *IEEE Transactions on wireless communication*, **10:10** (october 2011).
- [5] DiTomaso D., Laha S., Kodi A., Kaya S., Matolak D., “Evaluation and Performance Analysis of Energy Efficient Wireless NoC Architecture”, *IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2012.
- [6] Intel Corporation, First 8-Core Desktop Processor, 2014.
- [7] <http://products.amd.com>, Advanced Micro Devices Inc., AMD desktop processor solutions.
- [8] Abadal S., Martinez R., Alarcon E., “A. Cabellos-Aparicio Scalability-Oriented Multicast Traffic Characterization”, *Eighth IEEE/ACM International Symposium on Networks-on-Chip (NoCS)*, 2014.
- [9] <http://intel.com>, Intel Corporation.
- [10] <http://www.intel.com/software/pcm>, Intel Performance Counter Monitor.
- [11] Intel Corporation 2011 Intel Unlocked Processors Product Brief, 2011.
- [12] Geim A., Novoselov K., “The rise of graphene”, *Nature Materials Journal*, **6** (2007), 183–191.
- [13] Jornet J., Akyildiz I., “Graphene-based Plasmonic Nano-Antenna for Terahertz Band Communication in Nanonetworks”, *IEEE Journal on selected areas in communications*, **31**, 2:12 (2013).
- [14] Cid-Fuentes R. G., Jornet J. M., Akyildiz I. F., Alarcon E., “A receiver architecture for pulse-based electromagnetic nanonetworks in the terahertz band”, *Proc. of IEEE International Conference on Communications (ICC)*, 2012, 4937–4942.
- [15] <http://ark.intel.com/products/codename/63378/Sandy-Bridge-E>, Intel Corporation Products (former Sandy Bridge E).
- [16] Binkert N., Sardashti S., Sen R., Sewell K., Shoaib M., Vaish N., Hill M. D., Wood D. A., Beckmann B., Black G., Reinhardt S. K., Saidi A., Basu A., Hestness J., Hower D. R., Krishna T., “The gem5 simulator”, *ACM SIGARCH Computer Architecture News*, **39:2** (2011).

- [17] <http://marss86.org/marss86/index.php/Home>, MARSSx86 - Micro-ARchitectural and System Simulator for x86-based Systems, 2014.
- [18] Schone R., Molka D., Werner M., "Wake-up latencies for processor idle states on current x86 processors", *Computer Science - Research and Development*, Springer, Berlin Heidelberg, 2014, 1–9.
- [19] https://perf.wiki.kernel.org/index.php/Main_Page, Perf:Linux profiling with performance counters.
- [20] <http://www.kubuntu.org/news/kubuntu-14.10>, Kubuntu 14.10.

Data Rate Estimation for Wireless Core-to-Cache Communication in Multicore CPUs

Komar M., Petrov V., Borunova K., Moltchanov D., Koucheryavy E.

P.G. Demidov Yaroslavl State University, 150000, Sovetskaya str., 14, Yaroslavl, Russia
Tampere University of Technology,
PO Box 527, FI-33101, Korkeakoulunkatu 10, Tampere, Finland
The Bonch-Bruевич Saint-Petersburg State University of Telecommunications,
191186, nab. reki Moiki, 61, St.Petersburg, Russia

Keywords: multicore CPUs, wireless network on chip, WNoC, broadband communication systems

In this paper, a principal architecture of common purpose CPU and its main components are discussed, CPUs evolution is considered and drawbacks that prevent future CPU development are mentioned. Further, solutions proposed so far are addressed and a new CPU architecture is introduced. The proposed architecture is based on wireless cache access that enables a reliable interaction between cores in multicore CPUs using terahertz band, 0.1-10THz. The presented architecture addresses the scalability problem of existing processors and may potentially allow to scale them to tens of cores. As in-depth analysis of the applicability of the suggested architecture requires accurate prediction of traffic in current and next generations of processors, we consider a set of approaches for traffic estimation in modern CPUs discussing their benefits and drawbacks. The authors identify traffic measurements by using existing software tools as the most promising approach for traffic estimation, and they use Intel Performance Counter Monitor for this purpose. Three types of CPU loads are considered including two artificial tests and background system load. For each load type the amount of data transmitted through the L2-L3 interface is reported for various input parameters including the number of active cores and their dependences on the number of cores and operational frequency.

Сведения об авторах:

Комар Мария Сергеевна

Ярославский государственный университет им. П.Г. Демидова, магистрант
Технологический университет г. Тампере, Финляндия, Факультет Информатики и
Электротехники, научный сотрудник, orcid.org/0000-0002-0995-7744

Петров Виталий Игоревич

Санкт-Петербургский Государственный Университет Телекоммуникаций
им. проф. М.А. Бонч-Бруевича, аспирант
orcid.org/0000-0002-5235-4420

Борунова Каролина Дмитриевна

Санкт-Петербургский Государственный Университет Телекоммуникаций
им. проф. М.А. Бонч-Бруевича, магистрант
orcid.org/0000-0003-2104-1621

Молчанов Дмитрий Александрович

Технологический университет г. Тампере, Финляндия, Факультет Информатики и
Электротехники, доцент
orcid.org/0000-0003-4007-7187

Кучерявый Евгений Андреевич

Технологический Университет г. Тампере, Финляндия, Факультет Информатики и
Электротехники, профессор
orcid.org/0000-0003-3976-297X